

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭63-50059

⑬ Int.Cl.

H 01 L 27/14  
H 04 N 5/335

識別記号

府内整理番号

B-7525-5F  
Q-8420-5C

⑭ 公開 昭和63年(1988)3月2日

Published on March 2, 1988

審査請求 未請求 発明の数 1 (全 6 頁)

⑮ 発明の名称 撮像装置

⑯ 特願 昭62-203582

⑰ 出願 昭62(1987)8月18日

⑱ 1986年8月18日 ⑲ オランダ(NL)⑳ 8602091

㉑ 発明者 マルチヌス・ヨハネ  
ス・ヘンリカス・フア  
ン・デ・ステーフ

オランダ国5621 ベーアー アイントーフエン フルーネ  
バウツウエツハ1

㉒ 出願人 エヌ・ベー・フイリッ  
プス・フルーランベ  
ンフアブリケン

オランダ国5621 ベーアー アイントーフエン フルーネ  
バウツウエツハ1

㉓ 代理人 弁理士 杉村 晃秀 外1名

明細書

1. 発明の名称 撮像装置

2. 特許請求の範囲

1. ソリッドステートイメージセンサおよび電子シャッタを有する撮像装置であって、前記イメージセンサは半導体基板内に、画像情報積分期間中入射光をバイアスされた半導体接合にまたがる電荷損失を変換する撮像素子と、この撮像素子に結合され、制御信号発生器により生ぜしめられるクロックパルス信号による制御の下で前記の電荷損失を画像信号取出用のセンサ出力端子にシフトする並列入力直列出力のシフトレジスタとを有しており、前記電子シャッタは、前記制御信号発生器により生ぜしめられるシャッタ信号による制御の下で画像情報積分期間の一部にわたって前記撮像素子において電荷接続により動作するようになっている撮像装置において、

第1導電型、それと反対の第2導電型、第1導電型の半導体材料の少なくとも3つの層の

層構造を有するイメージセンサを用い、ドーピングされた第1導電型の半導体材料の前記基板が、この基板面上でこの基板より高濃度にドーピングされた第2導電型の半導体材料の細条状領域と、さらに高濃度にドーピングされた第1導電型の半導体材料の細条状領域とを交互に有しており、この基板内で前記の第2導電型細条状領域が前記第1導電型細条状領域の下方まで延在しており、これら第1導電型の細条状領域の中心軸線の近くでその厚みにおいて減少しており、前記の細条状領域に対して直角に向けられた電極システムがこのイメージセンサの撮像素子に存在している場合、

前記電子シャッタが前記の画像情報積分期間中に生じるシャッタパルスを有するシャッタ信号により動作し、第1導電型の細条状領域と第1導電型の基板との間の導電接続として前記の電荷接続が延在するようになっていることを特徴とする撮像装置。

2. 特許請求の範囲第1項に記載の撮像装置において、前記のシャッターパルスを有するシャッタ信号が前記イメージセンサの撮像装置において前記電極システムの全ての電極に供給されるようになっていることを特徴とする撮像装置。
3. 特許請求の範囲第1項に記載の撮像装置において、前記のシャッターパルスを有するシャッタ信号が前記イメージセンサの基板に供給されるようになっていることを特徴とする撮像装置。

### 3. 発明の詳細な説明

本発明はソリッドステートイメージセンサおよび電子シャッタを有する撮像装置であって、前記イメージセンサは半導体基板内に、画像情報積分期間中入射光をバイアスされた半導体接合にまたがる電荷損失に変換する撮像素子と、この撮像素子に結合され、制御信号発生器により生ぜしめられるクロックパルス信号による制御の下で前記の電荷損失を画像信号取出用のセンサ出力端子にシ

フトする並列入力直列出力のシフトレジスタとを有しており、前記電子シャッタは、前記制御信号発生器により生ぜしめられるシャッタ信号による制御の下で画像情報積分期間の一部にわたって前記撮像素子において電荷接続により動作するようになっている撮像装置に関するものである。

この種類の撮像装置は米国特許第3715485号明細書に開示されている。この米国特許の装置において基板内の撮像素子の各々には、p型およびn型半導体材料間のバイアスされる光感応半導体接合と、この光感応半導体接合をシフトレジスタに結合する第1スイッチングトランジスタと、シャッタ信号による制御の下で前記の光感応半導体接合をイメージセンサの基板に結合する第2スイッチングトランジスタとが形成されている。この米国特許明細書にはさらに画像情報積分期間の第1の可調整部分中、基板に対する第2スイッチングトランジスタが導通し、電荷接続部を構成し、前記光感応半導体接合が電荷損失を画像情報として蓄積しないようにすることが記載されている。

- 3 -

- 4 -

前記の画像情報積分期間の残りの第2の部分中、全ての第1および第2スイッチングトランジスタがターン・オフし、したがって入射光の強度に依存する電荷損失が画像情報として蓄積され、次に第1スイッチングトランジスタを経て並列入力直列出力のシフトレジスタにシフトされる。したがって電子シャッタは一定の画像情報積分期間中、可調整の光非感応および光感応期間が生じるように動作する。このようにすることによって所定の撮像素子の局部的な過露光が生じた場合に隣接の撮像素子に情報が広がって画像信号の表示にブルーミング作用を及ぼす惧れが回避される。

本発明の目的は所定の既知の種類のソリッドステートイメージセンサに上述したように電子シャッタを有效地に用いるようにすることにある。本発明はソリッドステートイメージセンサおよび電子シャッタを有する撮像装置であって、前記イメージセンサは半導体基板内に、画像情報積分期間中入射光をバイアスされた半導体接合にまたがる電荷損失に変換する撮像素子と、この撮像素子に

結合され、制御信号発生器により生ぜしめられるクロックパルス信号による制御の下で前記の電荷損失を画像信号取出用のセンサ出力端子にシフトする並列入力直列出力のシフトレジスタとを有しており、前記電子シャッタは、前記制御信号発生器により生ぜしめられるシャッタ信号による制御の下で画像情報積分期間の一部にわたって前記撮像素子において電荷接続により動作するようになっている撮像装置において、第1導電型、それと反対の第2導電型、第1導電型の半導体材料の少くとも3つの層の層構造を有するイメージセンサを用い、ドーピングされた第1導電型の半導体材料の前記基板が、この基板面上でこの基板より高濃度にドーピングされた第2導電型の半導体材料の細条状領域と、さらに高濃度にドーピングされた第1導電型の半導体材料の細条状領域とを交互に有しており、この基板内で前記の第2導電型細条状領域が前記第1導電型細条状領域の下方まで延在しており、これら第1導電型の細条状領域の中心軸線の近くでその厚みにおいて減少しており、

- 5 -

- 6 -

前記の細条状領域に対して直角に向かれた電極システムがこのイメージセンサの撮像素子に存在している場合、前記電子シャックが前記の画像情報積分期間中に生じるシャッターバルスを有するシャック信号により動作し、第1導電型の細条状領域と第1導電型の基板との間の導電接続として前記の電荷接続が延在するようになっていることを特徴とする。

以下本発明を図面につき詳細に説明する。

第1a図はイメージセンサ1の平面図であり、その一点鎖線上を断面とする断面図を第1b図に示す。第1b図の断面に示すように、イメージセンサ1は各々少くとも3つのn導電型の半導体材料層2と、これと反対のp導電型の半導体材料層3と、n導電型の半導体材料層4との少くとも3つの層を有する層構造をもって構成されている。この代りにp-n-p層構造をも用いることができる。しかしこの場合、後に説明すべき電圧の極性をこれに適合する必要がある。半導体材料層2はnによりしめしてあり、このnは例えば約 $5 \times 10^{14}$

原子/cm<sup>3</sup>のn型のドーピング濃度を意味する。半導体材料層2がこのようにドーピングされたn型半導体材料の基板として存在しており、その中に半導体材料層3および4が細条状領域として片側に交互に存在している。細条状p型領域3は基板より高いドーピング濃度を有しており、その領域3の表面におけるドーピング濃度を、例えば約 $3 \times 10^{15}$ 原子/cm<sup>3</sup>とする。細条状n型領域4はさらに高いドーピング濃度を有しており、その領域4の表面におけるドーピング濃度を、例えば約 $10^{14}$ 原子/cm<sup>3</sup>とする。第1a図の平面図にはこれら細条状領域を破線により示しており、かつこれら領域をn, p, n, pおよびnにより示している。基板2中ではp型領域3がn型領域4の下方まで延在している。これらp型領域3を第1b図で互いに離間させて示してあるが、これら領域は連続層とすることもできる。ただしここで重要なことは半導体材料層3の厚さをn型領域4の中心軸線の近くで減少させることである。イメージセンサ1は、後に示すようにn型領域4をソ

- 7 -

- 8 -

ースとして、p型領域3をゲートとして、基板2をドレインとして作用せしめる“バーチカル”トランジスタ構造を有している。このトランジスタ構造では、光感応p-n半導体接合(3, 4)が領域3および領域4間に存在する。半導体接合(3, 4)がバイアスされた場合には、入射光の光子により生ぜしめられる正孔電子対がこれら接合にまたがって電荷損失を生ぜしめる。

第1b図に示すイメージセンサ1には基板表面上に細条状n型領域4およびp型領域3と、透明絶縁層5とが設けられており、この透明絶縁層5の上には電極細条6が存在している。これらの層5, 6は図中に斜線を付してある。この電極6は透明電極システム(61～64)の一部を構成しており、これら電極システムを多数の順次の電極細条61～64を有する4相電極システムとして第1a図に示す。この4相電極システム(61～64)を、例えば後に記載する文献に説明するイメージセンサの具体例と関連させて示した。

第1a図および1b図のイメージセンサ1は、

第1b図の素子2～6および第1a図の電極システム(61～64)で示した部分に加え、シフト部材7と、センサ出力端子9に結合された並列入力直列出力のシフトレジスタ8とを有している。シフト部材7は画像情報を記憶する記憶部材の形態にことができる。シフト(および記憶)部材7とシフトレジスタ8とは入射光から遮蔽されている。電極システム(61～64)を有する撮像部材は、入射光をバイアスされた半導体接合(3, 4)にまたがる電荷損失に変換する撮像素子を有する撮像部材である。

第1b図に示すイメージセンサ1の層構造は、文献“AI・EI・EI・EI・トランザクション オン エレクトロン デバイシズ (IEEE Transaction on electron devices) ” Vol. ED-32, No. 8, 1985年8月8日の第1430～1438ページに“ア フレーム トランスファ シー・シー・ディー カラー イメージャ ウイズ バチカル アンチブルーミング (A Frame Transfer CCD Colour Imager with Vertical Antiblooming) ”

- 9 -

- 10 -

と題する章に開示されている。例えば細条状領域3および4における正確なドーピング濃度分布に対しては、この文献を参照しうる。この種類のイメージセンサの制御に対しては、1986年4月にフィリップス社により発行された、“ザ・フレーム-トランスクォンセンサ (The frame-transfer sensor)”と題する技術文献を参照しうる。第1a図では、この技術文献に合せて符号10は制御信号発生器を示しており、この制御信号発生器は、制御信号CP1、CP2、CP3およびCP4を電極細条61、62、63および64に夫々供給し、他の制御信号CP7およびCP8をシフト（および記憶）部材7およびシフトレジスタ8に夫々供給するものとする。これら信号CP7およびCP8を供給する接続リード線に付してある符号XおよびYは、これらリード線が数本のリード線を有する多重形態であることを示している。シフト信号、クロックパルス信号、それらより長い持続時間を有するパルスおよびそれらの組合せの信号を発生するための制御信号発生器10の詳

細な構造に対しては、上記の技術文献を参照しうる。このことに基いて、数個の制御信号線図を制御信号CP1、CP2、CP3およびCP4に対する時間tの関数として第2図に示す。第1a図において、電極システム（61～64）に対するこれら制御信号の組合せを以下に説明するシャッタ信号（CP1～CP4、SP）の一部であるCP1～CP4によって示してある。第2図にはいくつかの瞬時t1～t7を示す。瞬時t1の前および瞬時t7の後には、既知のように制御信号CP1～CP4内にソフトクロックパルスTPが存在する。前記技術文献に示されているように2.5MHzのクロックパルス周波数および4による分周から始めて、1.6μ秒のパルス周期を有する90°移相されたソフトクロックパルスTPが制御信号発生器10により生ぜしめられる。第2図には瞬時t1から瞬時t7までITにより表わされた画像情報積分期間を示す。第2図中の期間ITを各々IT1、IT2およびIT3により示す。第1、第2および第3の持続時間に分割する。第2

- 1 1 -

- 1 2 -

図には、一例として瞬時t3および瞬時t5間の持続時間IT2は4.8μ秒、すなわちパルスTPの周期の3倍と等しいことが示されている。実際この持続時間は、最小持続時間として前記文献に記載されたセンサの具体例における、以下に説明する効果を得るのに最適であることを確かめた。あるいはまた持続時間IT2を瞬時t3ではなく瞬時t1で開始することができる。このことは持続時間IT1が存在しなくなることを意味する。第2図は、パルスTPが例えば0Vと+10Vとの間の振幅を有していることも示している。第1b図には、基板2が例えば+20Vの電圧を与える接続部に接続されていることを示している。本発明の主たる特徴は期間ITの持続時間IT2中、制御信号CP1～CP4に、すなわちこれら制御信号の組合せに例えば-5Vの電圧が存在することである。第2図にシャッタパルスSPとして示す-5Vのパルスが存在するために、シャッタ信号（CP1～CP4、SP）は第1図のイメージセンサ1において電子シャッタ（2～6、

SP）に対して作用する。画像情報積分期間ITは、可調整の光非感応持続時間（IT1+IT2）と光感応持続時間IT3とに分割される、この場合最大の積分期間である。第2図において符号1Pは、制御信号CP2、CP3およびCP4において+10Vの電圧の電圧の積分パルスを示している。

以下にイメージセンサ1およびシャッタ信号（CP1～4、SP）で作動する電子シャッタ（2～6、SP）の動作を説明する。始動点は第2図に示す瞬時t1である。信号CP1により電極細条61に0Vの電圧が与えられ、電極細条62、63および64に各々信号CP2、CP3およびCP4が供給されることによりこれら細条に+10Vの電圧が与えられる。+10Vの電圧がn型領域4から電子を引付け、これにより半導体接合（3、4）がバイアスされる。上側にある電極細条に0Vの電圧を与える場合には、領域4の下部およびその隣接部や、さらに離れて位置する部分から電子が引付けられる。瞬時t1から入射光の光子により正孔電子対を生ぜしめ、したがってバ

- 1 3 -

- 1 4 -

イアスされた半導体接合(3, 4)にまたがる電圧が減少する。半導体接合(3, 4)における電荷損失は電極細条62, 63および64の下方の自由負電荷、すなわちそこに存在し寸法が局部露光の強度およびその持続時間に依存する自由電荷パケットと対応する。このようにして瞬時t2に電極細条62, 63および64の下方に自由電荷パケットが生じる。

次に瞬時t3に全ての電極細条61~64に-5Vの電圧が印加される。その結果、ソース4およびドレイン2を有する全ての“バーチカル”トランジスタが導通し、電荷接続部(2, 3, 4)が半導体接合(3, 4)に形成される。電荷接続部(2, 3, 4)が瞬時t3から瞬時t4まで電流を流し、瞬時t4から導通状態にバイアスされ、光子により生ぜしめられた電子がただちに空乏化される一例を示した。瞬時t5において瞬時t1に対して説明した状態が再現され、瞬時t2に対応する瞬時t6で光積分が再び開始される。

瞬時t7からは半導体接合(3, 4)で生ずる

電荷損失は、既知のように電荷パケットとして電極システム(61~64)の下方からシフト(および記憶)部材7にシフトされる。

前述した層構造およびドーピング濃度を有するイメージセンサ1の構造は、実際に満足な動作を行なう撮像装置における電子シャック(2~6、S.P.)となる。バイアスされた光感応半導体接合(3, 4)にまたがる電荷損失およびそれに対応し電極システム(61~64)の下方にある自由電荷パケットがシャック動作中補充されたり空乏化されたりする。

センサ出力端子9に生じる画像信号を、テレビジョンにおいて通常の信号処理動作後にテレビジョン表示に用いる場合には、撮像装置はテレビジョンカメラの一部を形成する。さらに端子9に生じる画像信号を映画撮影表示に適した信号に処理することもでき、この場合撮像装置は撮像部材として映画撮影カメラの一部を形成する。さらに画像信号を写真記録またはスライド記録に処理することもでき、この場合、撮像装置は撮像部材とし

- 15 -

- 16 -

て写真カメラの一部を形成する。写真記録の間には、しばしばボーズがある。撮像部材、記憶部材およびシフトレジスタ部材を有するイメージセンサ1の上述したフレーム転換設計を基にして、電子シャック(2~6、S.P.)を、写真記録の場合に撮像部材おらび記憶部材の双方で電荷接続部(2, 3, 4)を得るのに用いることができる。写真記録の前に前記の2つの部材はクリアされる。このクリア動作はシャッタ信号(CP1~4、S.P.)を撮像部材および記憶部材の双方の電極システムに供給することにより実行しうる。写真記録の場合には、さらに逆極性のシャックバルスを有するシャッタ信号を撮像部材および記憶部材に共通の基板に供給することによりクリアシャッタ動作を行なうことができる。

#### 4. 図面の簡単な説明

第1a図は、本発明による撮像装置の一部を示す線図、

第1b図は、この撮像装置の中にあるイメージセンサの断面を示す断面図、

第2図は、第1a図および第1b図の撮像装置の動作を説明するための制御信号を時間の関数として示す線図である。

- 1 … イメージセンサ
- 2 … 半導体材料層(n型領域: 基板)
- 3 … 半導体材料層(p型領域)
- 4 … 半導体材料層(n型領域)
- 5 … 透明絶縁層 6 … 電極細条
- 7 … シフト(記憶)部材
- 8 … シフトレジスタ 9 … センサ出力端子
- 10 … 制御信号発生器 61~64 … 電極細条

特許出願人 エヌ・バー・フィリップス・フルーランベンファブリケン

|        |   |   |   |   |                          |
|--------|---|---|---|---|--------------------------|
| 代理人弁理士 | 杉 | 村 | 暁 | 秀 | 理社<br>二才<br>EP部          |
| 同弁理士   | 杉 | 村 | 興 | 作 | 日本<br>特許<br>庁<br>審査<br>部 |

- 17 -

- 18 -

